



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

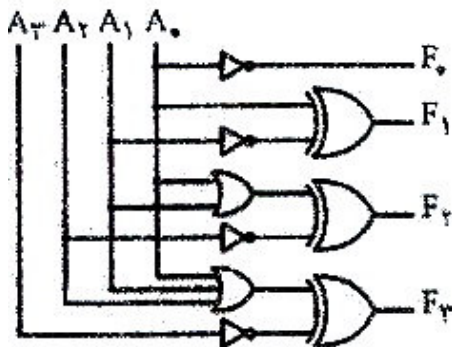
رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه)

فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی)

مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم،

کامپیوتر ۱۱۱۹۰۱۰

۱- با توجه به مدار زیر و به فرض اینکه اعداد  $a$  و  $f$  در سیستم مکمل دو باشند رابطه بین این دو عدد چهاربیتی  $f = F_3 F_2 F_1$  و  $a = A_3 A_2 A_1 A_0$  چیست؟



۲.  $f$  برابر با منفی  $a$  است.

۱.  $f$  مکمل  $a$  است.

۴.  $f$  برابر  $a-1$  است.

۳.  $f$  برابر  $a+1$  است.

۲- در مورد اعداد  $x=10000$  و  $y=11110000$  که بصورت مکمل ۲ نمایش داده شده اند کدام جمله صحیح است؟

۲.  $x$  نشان دهنده عدد ۱۶ و  $y$  نشان دهنده عدد ۲۴۰ است.

۱. حاصل جمع  $x$  و  $y$  برابر صفر خواهد بود.

۴. هر دو نشان دهنده عدد ۱۶ هستند.

۳. هر دو نشان دهنده عدد ۱۶- هستند.



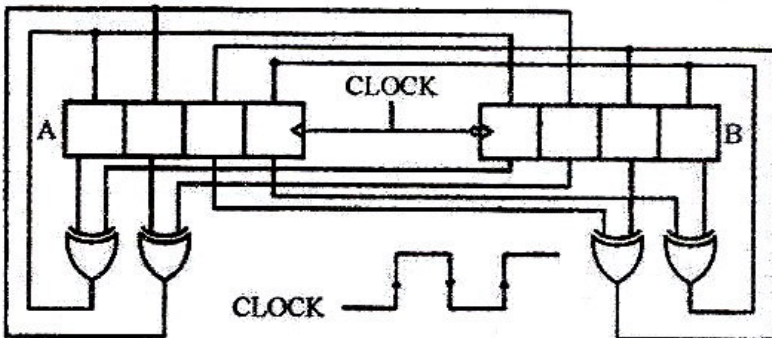
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار)، کاردانی، مهندسی کامپیوتر(گرای فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

۳- در شکل زیر ثبات **A** با لبه بالا رونده و ثبات **B** با لبه پایین رونده اعمال شده به ورودی خود را بار می کند. بعد از اعمال سیگنال clock چه اتفاقی می افتد؟



۱. ثبات **A** با مقدار  $B+A$  و ثبات **B** با صفر بار می شود.
۲. هر دو ثبات **A** و **B** با مقدار  $A+B$  بار می شوند.
۳. محتوای دو ثبات **A** و **B** جابجا می شود.
۴. محتوای دو ثبات تغییر نمی کند.

۴- کدام عبارت صحیح است؟

۱. برای پیاده سازی گذرگاه مشترک با وجود ۸ ثبات ۱۶ بیتی، جهت پیاده سازی با روش بافر سه حالت به ۱۲۸ بافر ۳ حالت و یک رمزگشای  $3 \times 8$  نیاز است و جهت پیاده سازی با MUX، به  $16 \times 1 \text{ MUX}$  ۸ نیاز است.
۲. برای پیاده سازی گذرگاه مشترک با وجود ۸ ثبات ۱۶ بیتی، جهت پیاده سازی با روش بافر سه حالت به ۶۴ بافر ۳ حالت و یک رمزگشای  $4 \times 16$  نیاز است و جهت پیاده سازی با MUX، به  $16 \times 1 \text{ MUX}$  ۸ نیاز است.
۳. برای پیاده سازی گذرگاه مشترک با وجود ۸ ثبات ۱۶ بیتی، جهت پیاده سازی با روش بافر سه حالت به ۱۲۸ بافر ۳ حالت و یک رمزگشای  $4 \times 16$  نیاز است و جهت پیاده سازی با MUX، به  $16 \times 1 \text{ MUX}$  ۸ نیاز است.
۴. برای پیاده سازی گذرگاه مشترک با وجود ۸ ثبات ۱۶ بیتی، جهت پیاده سازی با روش بافر سه حالت به ۶۴ بافر ۳ حالت و یک رمزگشای  $3 \times 8$  نیاز است و جهت پیاده سازی با MUX، به  $16 \times 1 \text{ MUX}$  ۸ نیاز است.

۵- در یک ماشین یک آدرسه، کمترین تعداد دستورات لازم برای تعویض محتویات دو خانه حافظه با آدرس های **X** و **Y** چقدر است؟

۱. ۶
۲. ۵
۳. ۴
۴. ۳



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

۶- با فرض داشتن یک ماشین پشته ای (stack machine) مشخص کنید دستورات زیر کدام عبارت را اجرا می کند؟

PUSH A  
PUSH B  
MUL  
PUSH C  
SUB  
PUSH D  
DIV  
PUSH C  
PUSH E  
DIV  
PUSH A  
ADD  
PUSH B  
PUSH F  
MUL  
SUB  
ADD

$$X = (A * B - C) / D + (C / E + A - B * F) \quad .۲$$

$$X = (A * B / D - C) + (C + A - B * F / E) \quad .۱$$

$$X = (A * B / C - D + A - B * F * C / E) \quad .۴$$

$$X = (A / D * B - C) + (A - B * F * C / E) \quad .۳$$



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرای  
فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی  
مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم،  
کامپیوتر ۱۱۱۹۰۱۰

۷- جدول زیر محتوا و آدرس بخشی از حافظه اصلی یک کامپیوتر را نشان می دهد. (هر دو گروه در مبنای ده هستند)

1005	1000	999	440	255	147	141	159	66	65	ادرس
159	12	141	96	85	170	159	41	141	139	محتوا

(۱) محتوای ثبات Index درست قبل از اجرای این دستورالعمل برابر شش است.

(۲) هیچ رجیستر دیگری در تعیین آدرس نهایی دخالت ندارد.

(۳) علامت @ به معنی آدرس دهی غیرمستقیم است.

مطلوب است محتوای رجیستر R<sub>1</sub> بعد از اجرای دستورالعمل زیر در این ماشین:

LOAD R<sub>1</sub> , Index , @999

۱۷۰ .۴

۱۵۹ .۳

۱۴۷ .۲

۱۴۱ .۱



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

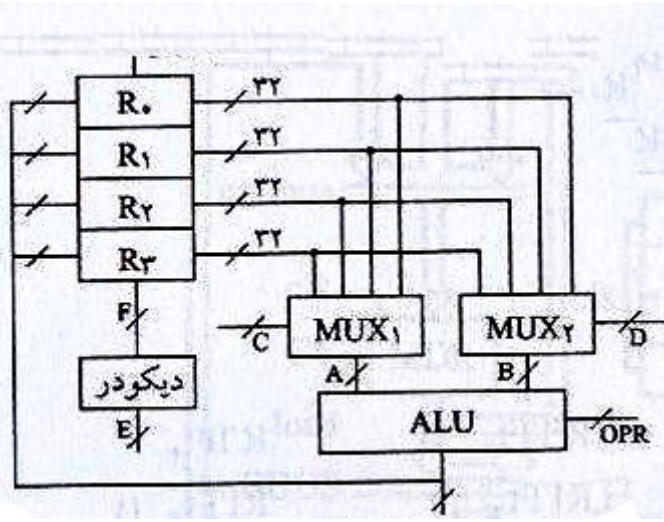
رشته تحصیلی/گد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه

فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی

مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم

کامپیوتر ۱۱۹۰۱۰

۸- ساختار گذرگاه روبرو را در نظر بگیرید .



مجموعه خطوط A, B, C, D, E, F هر کدام چند بیتی هستند؟

۲، ۱، ۲، ۲، ۳۲، ۳۲ ۰۲

۴، ۳، ۴، ۴، ۱۶، ۱۶ ۰۱

۴، ۲، ۲، ۲، ۱۶، ۱۶ ۰۴

۲، ۱، ۲، ۲، ۳۲، ۳۲ ۰۳



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

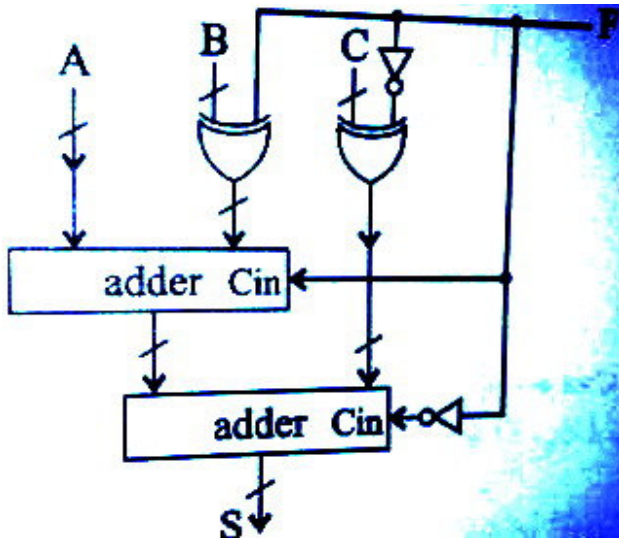
رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرای

فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی

(مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم

کامپیوتر ۱۱۱۹۰۱۰

۹- به فرض داشتن سیستم نمایش اعداد مکمل ۲، مقدار تولید شده S در مدار زیر چیست؟



۱. if  $f=0$  then  $S = A + B - C$  else  $S = A - B + C$

۲. if  $f=0$  then  $S = A - B - C$  else  $S = A + B - C$

۳. if  $f=1$  then  $S = A + B - C + 1$  else  $S = A - B + C + 1$

۴. if  $f=1$  then  $S = A + B + C + 1$  else  $S = A + B - C + 1$

۱۰- کدامیک از جملات زیر در مورد دوپردازنده هم نسل (بایک تکنولوژی) صحیح نیست؟

۱. دستورالعمل های یک پردازنده RISC نسبتا ساده تر از یک پردازنده CISC است.
۲. حجم سخت افزار RISC (تعداد ترانزیستورها) خیلی بیشتر از CISC است.
۳. تعداد دستورالعمل های یک پردازنده RISC از یک پردازنده CISC کمتر است.
۴. تعداد دستورالعمل هایی که در واحد زمان به اجرا درمی آید در RISC بیشتر از CISC است.



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرای فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

۱۱- اگر بخواهیم ضرب  $A = (110011)_2$  را در  $B = (101110)_2$  با اعمال کد بوت (booth) انجام دهیم به ترتیب چند عمل Shift و چند عمل Add/Sub باید انجام دهیم؟

۲. 3 Add/ sub , 6 shift

۱. 4 Add/ sub , 5 shift

۴. 8 Add/ sub , 6 shift

۳. 6 Add/ sub , 6 shift

۱۲- برای طراحی یک ضرب کننده آرایه ای (Array multiplier) برای ضرب یک عدد ۲۴ بیتی در یک عدد ۱۶ بیتی به چه عناصری نیاز داریم؟

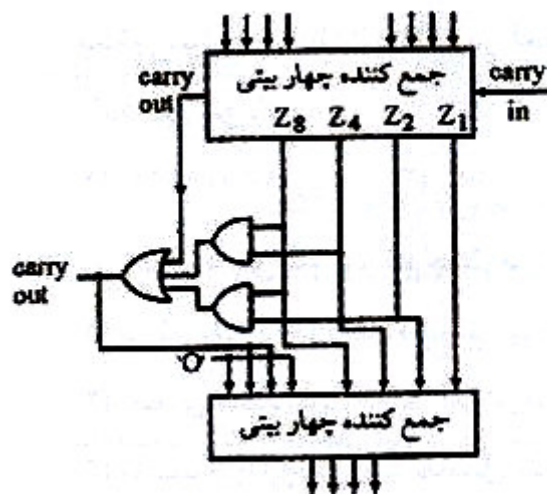
۲. ۳۸۴ گیت AND و ۱۵ جمع کننده ۱۶ بیتی

۱. ۲۵۳ گیت AND و ۲۳ جمع کننده ۱۶ بیتی

۴. ۴۰ گیت AND و ۱۶ جمع کننده ۲۴ بیتی

۳. ۴۰ گیت AND و ۲۴ جمع کننده ۱۶ بیتی

۱۳- برای انجام عملیاتی ۱۶ بیتی از ۴ واحد عملیاتی زیر استفاده شده است. این چهار واحد با روش ripple carry (اتصال خروجی carry یک واحد به ورودی carry واحد بعدی) به یکدیگر متصل شده اند. چنانچه یکی از ورودی های ۱۶ بیتی ۳۷۵۰ و ورودی دیگر ۹۷۶۰ باشد نتیجه ی خروجی ۱۶ بیتی چه خواهد بود؟



۴. ۳۵۱۰

۳. ۳۵۹۰

۲. CEBO

۱. ۱۳۵۱۰



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

۱۴- یک واحد محاسباتی لوله ای دارای پنج قسمت با زمان اجرای ns28، ns23، ns39، ns36 و ns64 است. اگر از ثبات هایی با تاخیر یک ns در بین قسمت های مختلف لوله استفاده شده باشد. حداکثر تسریع این واحد محاسباتی نسبت به تاخیر غیر خط لوله ای برای اجرای یک برنامه با تعداد دستورات زیاد چقدر است؟

۷/۹۲ .۴

۵ .۳

۳/۵ .۲

۲/۹۲ .۱

۱۵- در یک سیستم pipeline با پنج مرحله fetch، decode، operand fetch، execute، write بین دستورات زیر چند دستور NOP باید قرار بگیرد تا pipeline پر باشد؟ (منظور از [y,move x] انتقال اطلاعات خانه حافظه y در رجیستر x است.)

1- mov r1, r2

2- move r4, r5

3- move r2, [100]

۱. بین اول و دوم صفر و بین دوم و سوم یک

۲. بین اول و دوم صفر و بین دوم و سوم دو

۳. بین اول و دوم یک و بین دوم و سوم یک

۴. بین اول و دوم صفر و بین دوم و سوم صفر





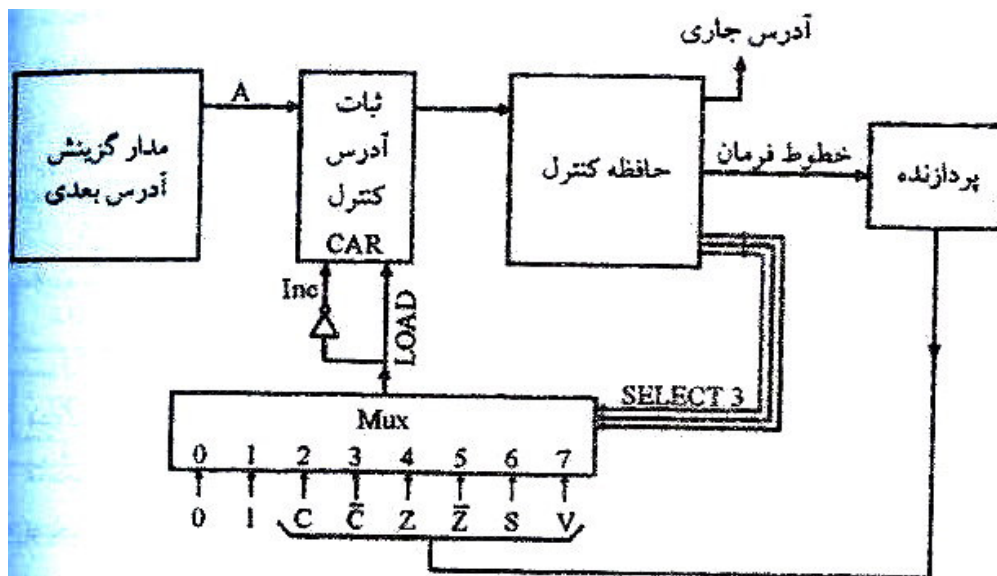
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی)، مهندسی کامپیوتر(سخت افزار)(چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

۱۶- شکل زیر بخشی از واحد کنترل ریزبرنامه پذیر می باشد. مشخص کنید اگر  $A = 36$  و  $select = (010)$  و  $CAR = 20$  و پردازنده دستور  $R_1 - R_2$  را اجرا کرده باشد کدام گزاره صحیح است؟ ( $R_1$  و  $R_2$  بدون علامت فرض شده اند) (تفریق به روش مکمل دو انجام می شود)



۱.  $if (R_1 \geq R_2) then CAR \leftarrow 36 else CAR \leftarrow 21$  1)

۲.  $if (R_1 > R_2) then CAR \leftarrow 21 else CAR \leftarrow 36$  1)

۳.  $if (R_1 \leq R_2) then CAR \leftarrow 21 else CAR \leftarrow 36$  1)

۴.  $if (R_1 < R_2) then CAR \leftarrow 36 else CAR \leftarrow 21$  1)

۱۷- در طراحی حافظه از دو لایه ( $L_1, L_2$ ) استفاده شده است. تاخیر دستیابی به  $L_1$  برابر  $1ns$  و برای  $L_2$  برابر  $10ns$  است. زمان دستیابی به حافظه اصلی برای یک بلوک  $100ns$  می باشد. اگر درصد خطا (miss) برای  $L_1$  و  $L_2$  به ترتیب  $10\%$  و  $50\%$  باشد متوسط زمان رجوع به حافظه حدوداً چقدر است؟

۴.  $61ns$

۳.  $60ns$

۲.  $11ns$

۱.  $7ns$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

درس: معماری کامپیوتر

رشته تحصیلی/گد درس: مهندسی کامپیوتر (نرم افزار)، مهندسی کامپیوتر (نرم افزار)، مهندسی کامپیوتر (گرای فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر - نرم افزار (چندبخشی)، علوم کامپیوتر (چندبخشی)، مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۹۰۱۰

۱۸- در یک سیستم سلسله مراتب حافظه یک حافظه **cache** و یک حافظه اصلی وجود دارد کلمات حافظه اصلی ۴بایتی می باشند و حافظه از ۶۴بلاک تشکیل شده است حجم هر بلاک ۸ کلمه است. حجم حافظه **cache** نیز برابر ۸بلاک است و ساختار حافظه **two-way set-associative cache** است تعداد بیت های مورد نیاز برای فیلد های **set , tag** و **word** که در آدرس دهی حافظه استفاده می شود چقدر است؟

۲.  $tag = 4, set = 2, word = 5$

۱.  $tag = 4, set = 2, word = 3$

۴.  $tag = 5, set = 1, word = 5$

۳.  $tag = 5, set = 1, word = 3$

۱۹- مفهوم سرریزی و مکانیزم های کنترل آن :

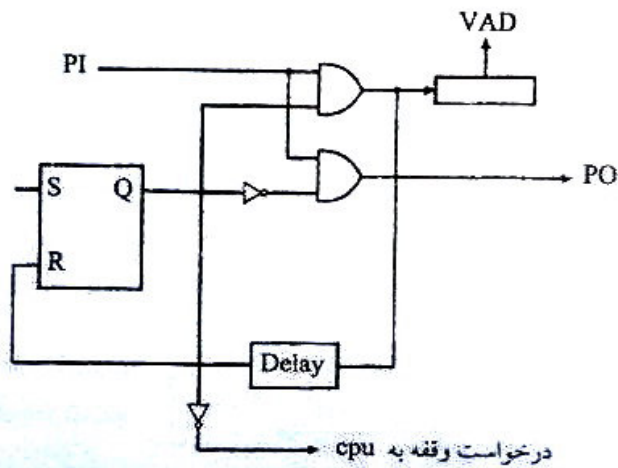
۲. به دلیل افزایش سرعت پردازنده مطرح می شود.

۱. به دلیل محدودیت اندازه ثباتها مطرح می شوند.

۴. هر سه مورد

۳. به منظور گسترش کارایی ثباتها مطرح می شود.

۲۰- شکل مقابل معرف چیست ؟



۲. اولویت بندی وقفه با روش polling

۱. اولویت بندی وقفه با روش موازی

۴. مدار مربوطه به درخواست و تایید وقفه های برداری

۳. یک مرحله از اولویت بندی وقفه با روش Daisy-Chain



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۹۰۱۰

۲۱- کدام گزینه در مورد روش های I/O صحیح نیست؟

۱. روش programmed I/O پردازنده اصلی را درگیر عملیات I/O می کند.
۲. روش interrupted I/O پردازنده اصلی را درگیر عملیات I/O می کند.
۳. روش DMA I/O پردازنده اصلی را درگیر عملیات I/O می کند.
۴. روش I/O با استفاده از هم پردازنده خاص I/O امکان نوشتن برنامه های مختلط از دستورات پردازنده اصلی و هم پردازنده I/O را می دهد.

۲۲- اگر رجیستر های ax و bx دور رجیستر ۸ بیتی باشند و دستور shr دستور العمل شیفت به سمت راست و دستور and

دستور العمل And منطقی و دستور Mov دستور العمل انتقال که محتویات اپرند دوم رادر اول انتقال می دهد. قطعه برنامه زیر چه عملی انجام می دهد؟

```
Mov bx , ax
Shr ax, 1
Shr ax ,1
Shr ax ,1
And bx , 7
```

۱. محتویات رجیستر ax را بر ۸ تقسیم می کند و خارج قسمت رادر رجیستر ax قرار می دهد و باقی مانده را محاسبه نمی کند.
۲. محتویات رجیستر ax را بر ۸ تقسیم می کند و خارج قسمت رادر رجیستر ax قرار می دهد و تمام بیت های خارج قسمت به جز ۳ بیت اول را صفر می کند و آنرا در bx قرار می دهد.
۳. محتویات رجیستر ax را بر ۸ تقسیم می کند و خارج قسمت رادر رجیستر ax و باقی مانده رادر رجیستر bx قرار می دهد.
۴. هیچکدام



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرای

فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی

مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم

کامپیوتر ۱۱۹۰۱۰

۲۳- در طراحی قالب دستورالعمل های یک کامپیوتر، ۴ بیت برای رمز عمل (opcode)، ۲ بیت برای ثبات و دو فیلد ۱۵ بیتی برای آدرس وجود دارد. با توجه به قالب دستورالعمل، مشخصات این کامپیوتر چیست؟

۱. ۲۵۶ دستورالعمل مختلف، ۲ ثبات قابل استفاده توسط کاربر، فضای آدرس حافظه ۳۲ کیلوبایت

۲. ۱۶ دستورالعمل مختلف، ۱۲۸ ثبات قابل استفاده توسط کاربر، فضای آدرس حافظه ۶۴ کیلوبایت

۳. ۱۶ دستورالعمل مختلف، ۴ ثبات قابل استفاده توسط کاربر، فضای آدرس حافظه ۳۲ کیلوبایت

۴. هیچکدام

۲۴- یک پردازنده با مشخصات زیر پیاده سازی شده است:

- واکنشی دستورات ۲ پالس ساعت به طول می انجامد.
- اجرای دستورات ۳ پالس ساعت به طول می انجامد.
- پردازنده در سرعت ۱۰۰ مگاهرتز کار می کند.
- ایجاد تغییرات زیر ممکن است:

الف): انجام واکنشی در یک پالس ساعت که باعث می گردد سرعت پردازنده به ۸۰ مگاهرتز کاهش یابد.

ب): اجرای دستورات در دو پالس ساعت که باعث می گردد سرعت پردازنده به ۷۵ مگاهرتز کاهش یابد.

ج): واکنشی در ۳ پالس ساعت و اجرا در ۴ پالس ساعت که باعث می گردد سرعت تا ۱۵۰ مگاهرتز افزایش یابد.

چنانچه برنامه ای با تعداد دستور مشخص روی ساختارهای فوق اجرا شود کدام ساختار کمترین زمان اجرا را منجر می شود:

۱. ج      ۲. ب      ۳. الف      ۴. الف و ب توأمأ

۲۵- کدام گزینه مزیت عمده کنترل ریز برنامه نویسی شده در مقابل پیکربندی سخت افزاری می باشد.

۱. تغییر پیکربندی سخت افزار برای عملیات متفاوت

۲. عدم تغییر پیکربندی سخت افزار برای عملیات متفاوت

۳. سرعت بیشتر

۴. سرعت بیشتر و تغییر پیکربندی سخت افزار برای عملیات متفاوت



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

### سوالات تشریحی

- ۱- سخت افزار مربوط به حافظه تداعیگر را به همراه یک سلول از آن بطور کامل رسم کرده و معادلات مدار انطباق را بنویسید.  
نمره ۱.۱۷
- ۲- فلوجارت سیکل وقفه را در یک کامپیوتر پایه رسم کنید.  
نمره ۱.۱۷
- ۳- در برخی از محاسبات علمی لازم است تا رابطه حسابی  $(C_i + D_i)$   $(A_i + B_i)$  با دنباله ای از اعداد انجام شود یک پیکر بندی خط لوله با سه قطعه را برای انجام آن رسم کنید و محتوای تمامی ثبات های خط لوله را به ازاء  $i$  (تا 6) به صورت جدول رسم کنید؟  
نمره ۱.۱۷
- ۴- روش نگاشت مستقیم را در حافظه کش (نهان) با ذکر مثال توضیح دهید.  
نمره ۱.۱۷



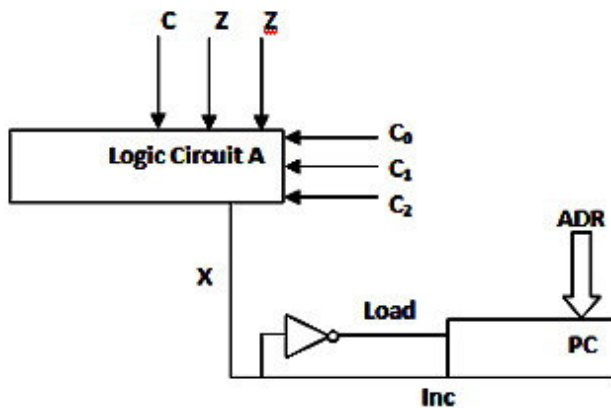
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

درس: معماری کامپیوتر

رشته تحصیلی/کد درس: مهندسی کامپیوتر(نرم افزار)، مهندسی کامپیوتر(نرم افزار) کاردانی، مهندسی کامپیوتر(گرایه فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی)، مهندسی کامپیوتر-نرم افزار(چندبخشی)، علوم کامپیوتر(چندبخشی (مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۱۴۳ - مهندسی مدیریت اجرایی (چندبخشی) ۱۱۱۵۱۹۱ - علوم کامپیوتر ۱۱۱۹۰۱۰

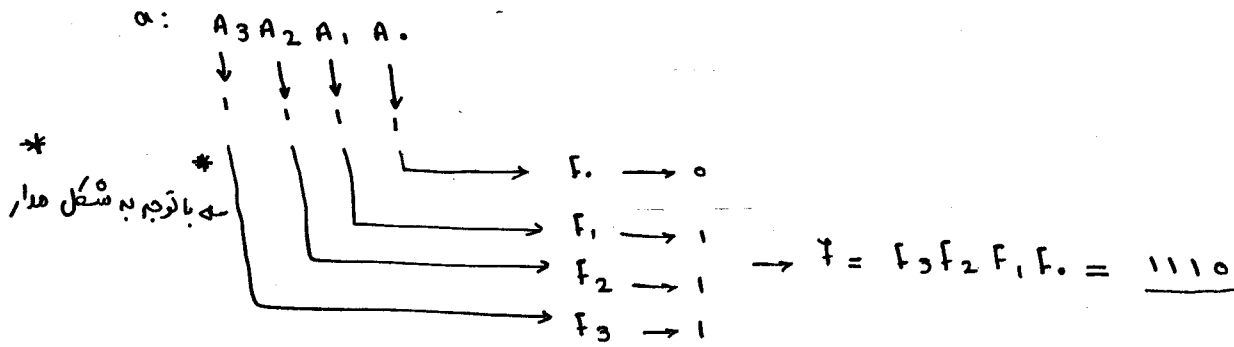
۵- مدار زیر بخشی از کنترلر میکروپروگرام یک کامپیوتر ساده برای کنترل نمودن رجیستر PC می باشد. معادله خروجی X مدار منطقی A که برای کنترل PC به کار می رود کدام است. کنترل های  $C_0$  و  $C_1$  و  $C_2$  طبق جدول داده شده عمل می کنند.



دستور العمل	$C_2$	$C_1$	$C_0$
Branch if Z=1	۰	۰	۰
Branch if Z=0	۱	۰	۰
Branch if C=1	۰	۱	۰
Branch if C=0	۱	۱	۰
Next Instruction	۰	۰	۱

د	1
ج	2
ج	3
الف	4
الف	5
ب.ب	6
د	7
ب.ب	8
الف	9
ب.ب	10
ب.ب	11
ب.ب	12
د	13
الف	14
د	15
الف	16
الف	17
الف	18
الف	19
ج	20
ج	21
ج	22
ج	23
الف	24
ب.ب	25
الف	26
د	27
الف	28
الف	29
ج	30

با توجه به این که عدد 4 بیتی  $f$  برابر  $f = f_3 f_2 f_1 f_0$  است با دادن مقدار عددی مناسب به ورودی مدار داریم:  $f$  برابر ۱-۱۱۱۰ است:



$x = 10000 = -16$

$y = 11110000 = -16$

سوال ۲: گزینه (ج) (علوم کامپیوتر ۸۲)

سوال ۳: گزینه (ج) (مهندسی کامپیوتر ۷۹)

عبیات NOR بین محتوای ۲ بیت با هر لبه پالس ساعت به یکی از بیت‌ها منتقل می‌شوند ولی ۳ لبه می‌در پی مجموعاً محتوای دو بیت را چاپ می‌کند:

$t_0 = A \leftarrow A \oplus B$

$t_1 = B \leftarrow A \oplus B$

$t_2 = A \leftarrow A \oplus B$

سوال ۴: گزینه (ب) (۸۷ - IT)

به طور کلی برای پیاده سازی یک سیستم ندرگاه  $k$  بیت  $n$  بیتی تعداد MUX برابر  $n$  است.

انرازه MUX برابر  $k \times k$  به دلیل وجود  $k$  خط داده.

در صورت استفاده از بافر تعداد  $k$  عدد بافر  $n$  بیتی.

سوال ۵: گزینه (الف) (۸۴ - IT)

با توجه به قالب دستوران تک آدرس برای بار کردن مقدار LDA و ذخیره آن STA داریم:

LDA  $x$ ;  $AC \leftarrow M[x]$

STA  $z$ ;  $M[z] \leftarrow AC$

LDA  $y$ ;  $AC \leftarrow M[y]$

STA  $x$ ;  $M[x] \leftarrow AC$

LDA  $z$ ;  $AC \leftarrow M[z]$

STA  $y$ ;  $M[y] \leftarrow AC$

چاپ کردن مقدار و مقویات دو خانه حافظه با آدرس  $x$  و  $y$ :

	آدرس	1	2	3	4	5	6
$x$	4				3		
$y$	3						4
$z$	0		4				
AC	0	4		3		4	



$$x = AB^*C - D / CE / A + BF^* - +$$

جبارت بہ صورت postfix می توان نوشت :

$$x = (A * B - C) / D + (C / E + A - B * F)$$

کہ با تبدیل جبارت پیشوندی بہ میانوندی داریم :

روش های آدرین دہی بہ طور خلاصہ :

روش صفی : آدرین در خود دستور است مثل CMA (مکمل کردن AC)

روش نوری یا بلا سطح : کہ معلوند جزئی از دستور است .

روش ثباتی : معلوند در سطح نیست بلکہ در یکی از ثبات های CPU است .

روش ثباتی غیر مستقیم : در این روش ثباتی از CPU را مشخص می کند کہ آدرین خود معلوند ونہ خود معلوند در آن است .

روش خود اثرایی : ابتدا آدرین مؤثر پیدا می شود سپس  $R_1$  با یک جمع می شود

روش خود کاشی : در این روش ابتدا از مقدار  $R_1$  یکی کم می شود و سپس آدرین مؤثر پیدا می شود .

روش آدرین دہی مستقیم : آدرین مؤثر همان بخش آدرین دستور العمل است .

۳ نوع می باشد :

۱- آدرین دہی نسبی : شمارندہ برنامہ بہ بخش آدرین دستور اضافه می شود .

۲- ایندکس یا شاخص : ثبات شاخص بہ بخش آدرین دستور اضافه می شود .

۳- ثبات پایه : محتوای یک ثبات پایه بہ بخش آدرین دستور اضافه می گردد .

Index = 6 و @999 = 141

جواب سوال :

$$\rightarrow 141 + 6 = 147 \rightarrow$$

$$R_1 \leftarrow M[147]$$

$$\rightarrow R_1 = 170$$

سوال ۸ . کلید سوال گزینہ (ب) است کہ البتہ با گزینہ (ج) برابر است کہ ورود خط کنند .

A و B خروجی MUX هستند در نتیجہ 32 بیت هستند .

C و D خطوط انتخاب MUX هستند کہ باید یکی از 4 حالت را انتخاب کنند، در نتیجہ 2 بیتی هستند .

E خط انتخاب ورودی دیکدر است و چون 4 ثبات وجود دارد بہ دیکدر 2x4 احتیاج است در نتیجہ :

E 2 بیتی است و F 4 بیتی می باشد .

جواب صحیح در نهایت برابر : 32 ، 32 ، 2 ، 2 ، 2 ، 4 است کہ البتہ در هیچ کدام از گزینہ ها نمی باشد .

باقی به این نکته که مقدار  $f$  می تواند ۰ یا ۱ باشد داریم:

i۴  $f = 0 \rightarrow$  خروجی معکوس کننده اول (بالا)  $= A + B$

i۴  $f = 0 \rightarrow$  (پایین) خروجی معکوس کننده دوم  $= S = A + B + \bar{C} + 1 = A + B - C$

i۴  $f = 1 \rightarrow$  خروجی معکوس کننده اول (بالایی)  $= A + \bar{B} + 1 = A - B$

i۴  $f = 1 \rightarrow$  خروجی معکوس کننده دومی (پایینی)  $= S = A - B + C$

سوال ۱۰: گزینه (ب) (علوم کامپیوتر ۸۱)

جواب در صفحه ۲۸۲ - ۲۸۳ - ۲۸۴ کتاب معاری مبرین مانو ترجمه سپیدنام.

سوال ۱۱: گزینه (ب) (مهندسی کامپیوتر ۷۹)

در ضرب به روش بوت تعداد  $5n+4$  ها برابر تعداد بیت های ضرب کننده می باشد و تعداد جمع و تفریق نیز برابر تغییر بیت در آن است. برای حل این سوال به صورت تشریحی می توان به روش زیر عمل کرد:

روش ضرب بوت برای ضرب ۲ عدد در سیستم مکمل ۲ استفاده می شود:

$B \rightarrow$  ضرب شونده  
 $\times Q \rightarrow$  ضرب کننده  
 $A:Q \rightarrow$  حاصل

$B = (101110)_2 \rightarrow -18$

$Q = (110011)_2 \rightarrow -13$

$A = (000000)_2 \rightarrow$  در ابتدا به صورت پیش فرض ۰ است

$Q-1 = 0$

$\bar{B} + 1 = (010010) = 18$

\*  $Q-1$ : در ابتدا به صورت پیش فرض ۰ است و در مراحل بعد حاصل از بیت خروجی عمل شیفت منطقی به راست ( $ashr$ ) است.

\*  $Q_0$ : کم ارزشترین بیت عدد ضرب کننده می باشد.

\*  $SC$ : شماره  $n$  بیتی که  $n$  تعداد بیت های عدد ضرب کننده است (تعداد مراحل عمل ضرب)

برای تشخیص عملیات مناسب از سمت راست مقدار  $Q_0, Q_1, Q_2$  را در نظر می گیریم و طبق جدول زیر عملیات مناسب را انتخاب می کنیم.

	$Q_0$	$Q_1$	عملیات
①	۰	۰	$ashr A Q$
۲	۰	۱	$\begin{cases} A: A+B \\ ash r A Q \end{cases}$
۳	۱	۰	$\begin{cases} A: A+\bar{B}+1 \\ ash r A Q \end{cases}$
۴	۱	۱	$ash r A Q$

حالت ۱: اگر مقدار  $Q_0, Q_1$  به صورت (۰۰) بود فقط شیفت ( $AQ$ )

حالت ۲: اگر مقدار  $Q_0, Q_1$  به صورت (۰۱) بود

ابتدا عمل جمع ( $A+B$ ) و بعد عمل شیفت ( $AQ$ )

حالت ۳: اگر مقدار به صورت (۱۰) بود ابتدا تفریق به صورت

$(A+\bar{B}+1)$  و بعد شیفت.

حالت ۴: نتیجه به حالت اول است.

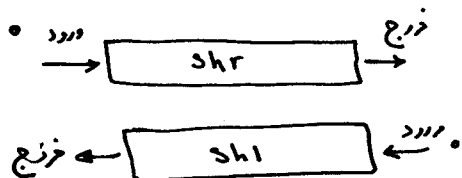
		A	Q	Q-1	
0	Q.Q-1 : 10	$A \leftarrow A + \bar{B} + 1$	010010	110011	0
		ashr AQ	001001	011001	1
1	Q.Q-1 : 11	ashr AQ	000100	101100	1
2	Q.Q-1 : 01	$A \leftarrow A + B$	110010	101100	1
		ashr AQ	111001	010110	0
3	Q.Q-1 : 11	ashr AQ	111100	101011	0
4	Q.Q-1 : 10	$A \leftarrow A + \bar{B} + 1$	001110	101011	0
		ashr AQ	000111	010101	1
5	Q.Q-1 : 11	ashr AQ	000011	101010	1

AQ: 000011101010 = +234 ✓

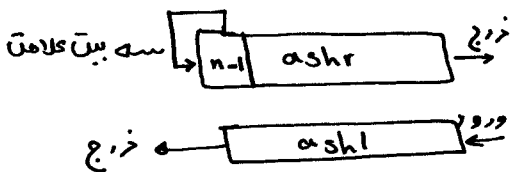
-18 x (-13) = 234 ✓

\* یادآوری : زیر عمل های شیفت :

۳ نوع شیفت وجود دارد : ۱- منطقی ۲- جبرهشی ۳- حسابی



۱- شیفت منطقی :  
 shr (الف) شیفت منطقی به راست  
 shl (ب) شیفت منطقی به چپ

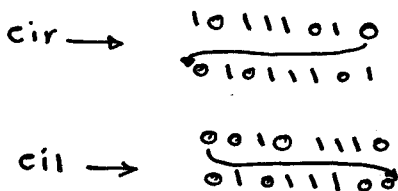


۲- شیفت حسابی :  
 ashr (الف) شیفت حسابی به راست  
 ashl (ب) شیفت حسابی به چپ

\* شیفت حسابی یک عدد دوری علامت دار را به چپ یا به راست شیفت می دهد.

\* شیفت حسابی به چپ یک عدد دوری علامت دار را در 2 ضرب می کند.

\* شیفت حسابی به راست یک عدد دوری علامت دار را بر 2 تقسیم می کند.



۳- شیفت جبرهشی :  
 cir (الف) شیفت جبرهشی به راست  
 cil (ب) شیفت جبرهشی به چپ

به تعداد 24 x 16 یعنی 384 گیت AND نیاز است  
 24-1 یعنی 23 عدد جمع کننده 16 بیتی نیاز است

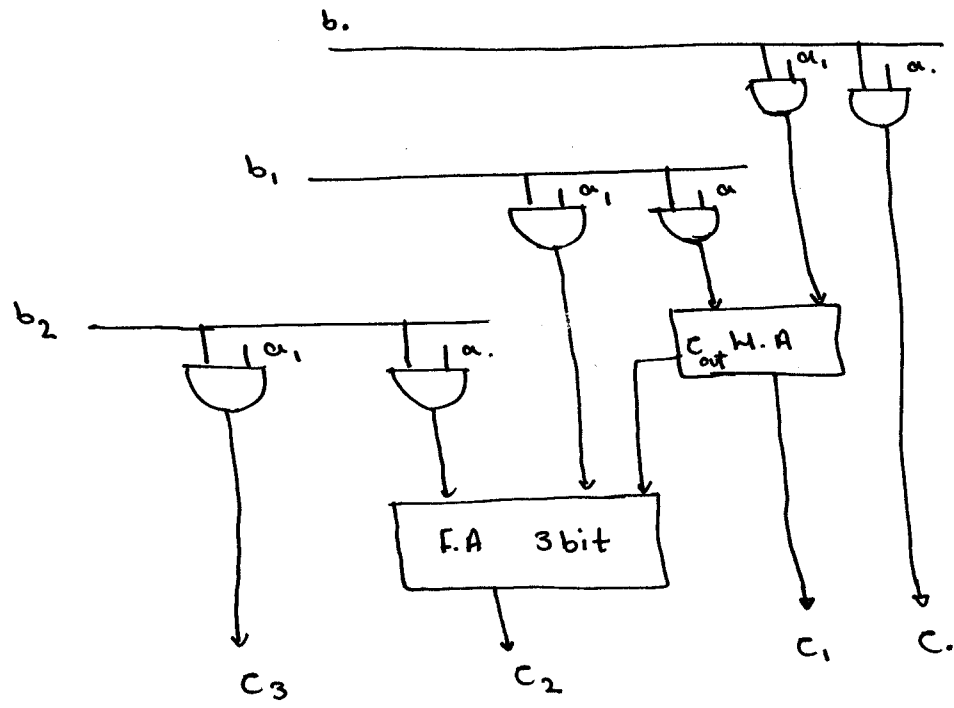
یک مثال ساده:

جمع در عدد 2 بیتی در 3 بیتی

$a_1 \quad a_0$   
 $b_2 \quad b_1 \quad b_0$   


---

 $a_1 b_1 \quad a_0 b_0$   
 $a_1 b_1 \quad a_0 b_0$   
 $a_1 b_2 \quad a_0 b_2$



در جمع کننده خون با ساختار ارائه شده یک جمع کننده BCD را تشکیل می دهند اگر خروجی جمع کننده بالایی از عدد 9 (1001) بیشتر شود 6 واحد به آن اضافه می گردد (محقق کننده این حالت یک بردن خط carry out است).

$3750$   
 $4760$   


---

 $1 \quad 3510$

زمان تأخیر

برورد کوچک  $\rightarrow t_p = \max(t_i) + t_L = 64 + 1 = 65 \text{ ns}$

زمان خط اول  $\rightarrow (4+n-1)65$

زمان بردن خط اول  $\rightarrow n(64 + 28 + 23 + 39 + 36) = 190 \text{ ns}$

حداکثر افزایش سرعت  $S_{max} = \frac{t_n}{t_p} = \frac{190}{65} = 2.92 \rightarrow$

هیچ لازم نیست چون دستور ار 2 و همچنین 3 و 2 وابستگی ندارند.

چون ورودی Select برابر 2 (010) می باشد، در حالتی پیکسرها مقدار C (نقطه) به خروجی منتقل می شود. اگر  $R_1 \geq R_2$  باشد، مقدار این نقلی یک بوده و خط Load در CAR فعال شده و مقدار 36 به آن وارد می گردد. اگر مقدار نقلی 0 باشد خط Inc فعال شده و مقدار CAR که 20 می باشد یک واحد افزایش می یابد.

زمان دسترسی :  $t_1 + (1-h_1)t_2 + (1-h_1)(1-h_2)t_3$

$= 1 + 0.1 \times 10 + 0.1 \times 0.5 \times 100 = 2 + 5 = 7ns$

روش نگاشت تمام مجموعه ای set-Associative-Mapping - هر 469 کتاب معماری ترجمه سپیدنام - سرین - ن

تعداد کلمات حافظه اصلی  $2^m$  تعداد کلمات در هر بلاک  $2^w$

کس در مجموع می تواند  $2^c$  کلمه از حافظه اصلی را در خود جای دهد و نگاشت k-way با فرض  $k = 2^t$  را در نظر بگیریم:

$\text{تعداد بلاکی که در کس جای شود} = \frac{2^c}{2^w} = 2^{c-w}$

$\text{تعداد set موجود در کس} = \frac{2^{c-w}}{2^t} = 2^{c-w-t}$

فرمت آدرس :

m-c+t	c-w-t	w
tag	set	word

حل سوال : چون از روش 2-way است ، در نتیجه هر 1 بلاک تشکیل یک set را می دهند یعنی حافظه کس به 4 set دارد

$1 \text{ set} = 2 \text{ block} \rightarrow \text{تعداد set} = \frac{8}{2} = 4 \rightarrow \text{تعداد بیت‌ها برای پیدا کردن set} = 2$

$1 \text{ block} = 8 \text{ word} \rightarrow \text{تعداد بیت‌ها برای پیدا کردن word} = 3$

تعداد بیت‌ها برای آدرس 9 بیت است (چون حافظه اصلی دارای 2<sup>6</sup> بلاک است که هر بلاک 2<sup>3</sup> کلمه دارد یعنی به 2<sup>9</sup> کلمه دارد)

تعداد بیت‌ها برای tag = 9 - (3+2) = 4

در نتیجه داریم :

سوال ۱۹ :  
گزینه (ب)

سوال ۲۰ (آزار - ۷۷)

گزینه (ج)

شکل صفحه ۴۹ کتاب مربوط به یک طبقه از آرایش اولویت دهی زنجیره‌ای

\* یاد دهنده شماره ۱ صفحه ۴۸ ← انتقال زنجیره‌ای : Daisy-chaining

سوال ۲۱ (IT-۸۵)

گزینه (ج)

تبادل داده با وسایل جانبی به ۳ طریق زیر امکان پذیر است :

۱- Programmed I/O ← برنامه نویسی شده I/O

۲- Interrupted I/O ← بطریق وقفه I/O

۳- DMA I/O ← دستیابی مستقیم به حافظه

حالت اول : انتقال داده تحت کنترل برنامه مستلزم نظارت مداوم CPU بر دستگاه جانبی است . به محض آغاز انتقال ، CPU باید بر مدار واسط نظارت کند تا ببیند چه وقت می تواند دوباره انتقال را انجام دهد .

در این روش ، CPU به طور دائم در حال بررسی بین پرچم می باشد تا حضور داده اعلام شود و این امر باعث هدر رفتن وقت CPU خواهد شد که از معایب این روش است .

حالت دوم : برای جلوگیری از اتلاف وقت می توان از امکان ات وقفه و فرمان های خاصی برای اطلاع به مدار واسط استفاده کرد و از آن خواست تا بهنظم وجود داده از طرف وسیله جانبی یک تقاضای وقفه صادر کند .

در این روش بدین آدرین برنامه سرورین I/O ( آدرس اشتراک ) به ۲ صورت ممکن است :

الف) وقفه برداری : منبع وقفه (صند خود اطلاعات مربوط به عمل پرش را معین می کند این اطلاعات را بردار وقفه گویند .

ب) وقفه غیر برداری : در این حالت آدرین پرش هنگام وقوع وقفه مکان ثابتی از حافظه است و هم وقفه های درین وقفه مستقر دارند .

\* باید وقت نمود پردازنده در این حالت برای سرورین دادن به I/O درگیر عملیات است ولی برای جلوگیری از وقفه I/O درگیر عملیات I/O نیست .

حالت سوم : دستیابی مستقیم به حافظه (DMA) مدار واسط داده را از طریق گذرگاه حافظه تبادل می کند .

CPU انتقال را با تحمیل آدرین شروع برای واسطه و تعداد کلمات لازم برای انتقال آغاز نموده سپس برای انجام مبادلاتها پیشروی نماید .

گزینه ج

در مبنای ۲ عددی بر ۸ بخش زیر است که ۳ بیت سمت راست آن منفرد باشند و در واقع آن ۳ بیت باقیمانده می باشد.  
 به طور مثال: باقیمانده عدد ۰۱۱۱۱۰۰۱ بر ۸ برابر ۳ بیت راست یعنی ۰۰۱ می باشد.  
 برنامه مورد نظر ۳ بار  $\alpha x$  را به سمت راست شیفت می دهد. هر شیفت به راست مقدار تقسیم بر  $\alpha x$  پس  $\alpha x$  بر ۸ تقسیم شده و خارج قسمت در  $\alpha x$  می ماند.  
 با and کردن  $b x$  و ۷ سه بیت سمت راست  $b x$  (همان  $\alpha x$  است) یعنی باقیمانده مناسب شده در  $b x$  قرار می گیرد.

گزینه ج

4	2	15	15
opcode	reg	Addr1	Addr2

تعداد دستورالعمل  $2^4 = 16$  ، تعداد بیت ها  $2^2 = 4$  ، فضای آدرس دهی  $2^{15} = 32k$  است.

گزینه ان

حالت اصلی:  $t_f = 2 \times \frac{1}{100} = 0.02 \mu s = 20 ns$

$t_e = 3 \times \frac{1}{100} = 0.03 \mu s = 30 ns$

زمان واقعی  $t_f$

حالت

۱)  $t_f = 1 \times \frac{1}{80} = 0.0125 \mu s = 12.5 ns$

$t_e = 3 \times \frac{1}{80} = 0.0375 \mu s = 37.5 ns \rightarrow t_{\phi} = 50 ns$

زمان اجرا  $t_e$

زمان کل:  $t_f + t_e$

حالت

۲)  $t_f = 2 \times \frac{1}{75} = 0.026 \mu s = 26.7 ns$

$t_e = 2 \times \frac{1}{75} = 0.026 \mu s = 26.7 ns \rightarrow t_{\phi} = 53.4 ns$

حالت

۳)  $t_f = 3 \times \frac{1}{150} = 0.02 \mu s = 20 ns$

$t_e = 4 \times \frac{1}{150} = 0.0267 \mu s = 26.7 ns \rightarrow t_{\phi} = 46.7 ns$

کمترین زمان

گزینه ب

یا صیغ سوالان تشریحی :

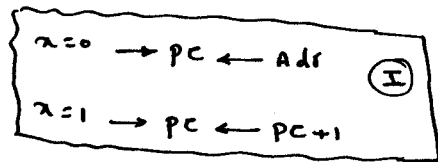
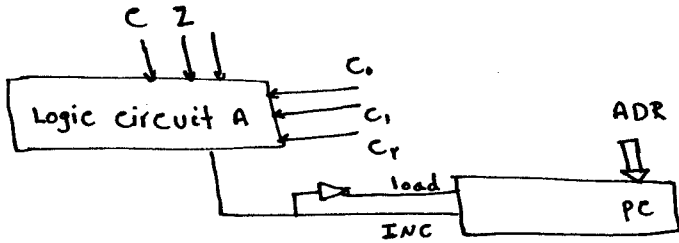
سوال (۱) ص ۴۵۹ اسی ۴۶۱

سوال (۲) ص ۱۵۵

سوال (۳) تمرین ۲، ۵، ۶، ۷، ۸، ۹

سوال (۴) ص ۴۶۴ اسی ۴۶۸

سوال (۵)



یا صیغ سوال دارم:

	$C_2$	$C_1$	$C_0$	$Z$	$C$	بیاضی
B if $Z=1$	0	0	0	0	X	$\rightarrow PC \leftarrow PC+1 \rightarrow \lambda=1 \rightarrow \overline{C_2} \overline{C_1} \overline{C_0} \overline{Z}$ ۱
	0	0	0	1	X	$\rightarrow PC \leftarrow ADR \rightarrow \lambda=0$
B if $Z=0$	1	0	0	0	X	$\rightarrow PC \leftarrow ADR \rightarrow \lambda=0$
	1	0	0	1	X	$\rightarrow PC \leftarrow PC+1 \rightarrow \lambda=1 \rightarrow C_2 \overline{C_1} \overline{C_0} Z$ ۲
B if $C=1$	0	1	0	X	0	$\rightarrow PC \leftarrow PC+1 \rightarrow \lambda=1 \rightarrow \overline{C_2} C_1 C_0 \overline{C}$ ۳
	0	1	0	X	1	$\rightarrow PC \leftarrow ADR \rightarrow \lambda=0$
B if $C=0$	1	1	0	X	0	$\rightarrow PC \leftarrow ADR \rightarrow \lambda=0$
	1	1	0	X	1	$\rightarrow PC \leftarrow PC+1 \rightarrow \lambda=1 \rightarrow C_2 C_1 \overline{C_0} C$ ۴
NEPT Ins.	0	0	1	X	X	$\rightarrow PC \leftarrow PC+1 = \lambda=1 \rightarrow \overline{C_2} C_1 C_0$ ۵

بیضی عبارت برعکس آهه را او سی کنیم.

$$\overline{C_2} \overline{C_1} \overline{C_0} \overline{Z} + C_2 \overline{C_1} \overline{C_0} Z + \overline{C_2} C_1 \overline{C_0} \overline{C} + C_2 C_1 \overline{C_0} C + \overline{C_2} \overline{C_1} C_0$$

$$\overline{C_2} \overline{C_1} (\overline{C_0} \overline{Z} + C_0 Z) + C_1 \overline{C_2} (\overline{C_0} \overline{C} + C_0 C) + C_0 \overline{C_2} \overline{C_1}$$

$$x \oplus y = x'y + xy'$$

$$x \odot y = x'y + xy$$

درستی

$$(x'y + xy)' = x'y' + xy' = x \oplus y$$

$$(x \odot y)' = (x \oplus y)$$

$$\overline{C_2} \overline{Z} + C_2 Z = C_2 \odot Z = (\overline{C_2} \oplus Z)$$

$$\overline{C_2} \overline{C} + C_2 C = C_2 \odot C = (\overline{C_2} \oplus C)$$

$$\overline{C_2} \overline{C_1} (\overline{C_2} \oplus Z) + \overline{C_0} C_1 (\overline{C_2} \oplus C) + C_0 \overline{C_1} \overline{C_2}$$